

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-260964

(43)Date of publication of application : 03.10.1997

(51)Int.Cl.

H03F 3/19

H03F 3/50

H03F 3/60

(21)Application number : 08-062525

(71)Applicant : SHARP CORP

(22)Date of filing : 19.03.1996

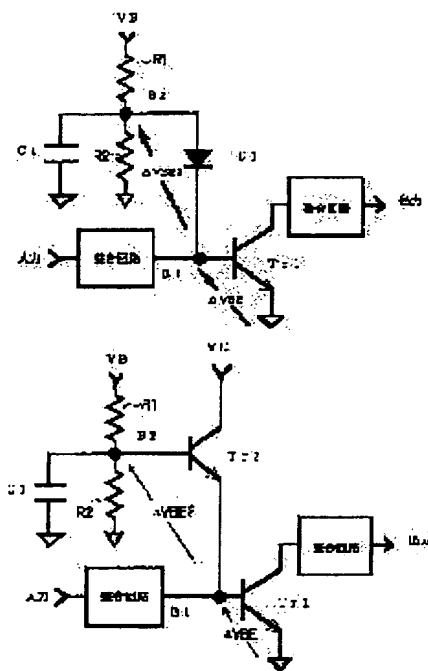
(72)Inventor : AKAGI MASANORI

## (54) HIGH FREQUENCY AMPLIFIER CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide the high frequency amplifier circuit in which fluctuation in passing phase of power is suppressed even when input power is increased and the amplifier circuit is in operation in a nonlinear operating region.

SOLUTION: A diode D1 or a PN junctions of transistors (TRs) 2, 3 are connected in forward polarity between a base terminal of a common emitter amplifier consisting of the bipolar TR 1 and base bias circuit applying a base bias voltage to the base terminal, and a capacitor C1 having an impedance sufficiently smaller than an impedance when viewing from a connecting point between the diode D1 (or TRs 2, 3) and the base bias circuit toward the base bias circuit is connected between the connecting point and ground.



## LEGAL STATUS

[Date of request for examination] 16.07.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3377675

[Date of registration] 06.12.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-260964 ✓

(43)公開日 平成9年(1997)10月3日

(51)Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 F	3/19		H 0 3 F	3/19
	3/50			3/50
	3/60			3/60

審査請求 未請求 請求項の数 3 O L (全 8 頁)

(21)出願番号 特願平8-62525

(22)出願日 平成8年(1996)3月19日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 赤木 政則

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

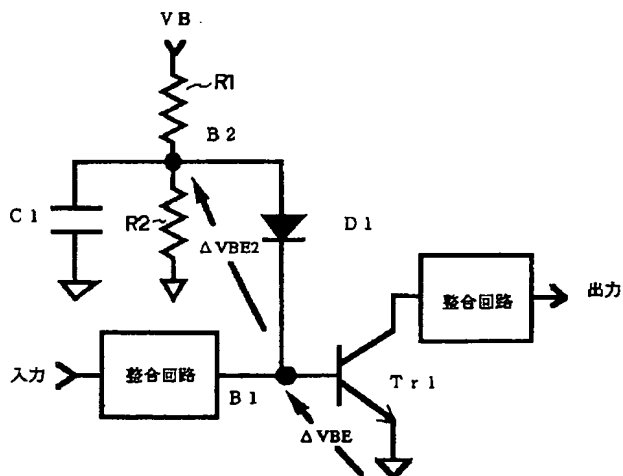
(74)代理人 弁理士 佐野 静夫

(54)【発明の名称】 高周波増幅回路

(57)【要約】

【課題】 入力電力が増大し、非線形動作領域で動作する場合でも、電力の通過位相の変動を抑制するようにした高周波増幅回路を提供する。

【解決手段】 バイポーラ・トランジスタ $Tr1$ より成るエミッタ接地増幅器のベース端子と、このベース端子にベースバイアス電圧を供給するベースバイアス回路間に、ダイオード $D1$ 或いはトランジスタ $Tr2$ 、 $Tr3$ のPN接合を順方向に設け、上記ダイオード $D1$ 或いはトランジスタ $Tr2$ 、 $Tr3$ と上記ベースバイアス回路との接続点と、アース間に上記接続点よりベースバイアス回路側を見たときのインピーダンスより充分小さいインピーダンスを有するキャパシタ $C1$ を設けた高周波増幅回路。



本発明の実施例

## 【特許請求の範囲】

【請求項 1】 バイポーラ・トランジスタより成るエミッタ接地増幅器のベース端子と、該ベース端子にベースバイアス電圧を供給するベースバイアス回路間に、順方向に接続した P N 接合素子を設け、該 P N 接合素子と上記バイアス回路との接続点と接地点間に、上記 P N 接合素子より、上記バイアス回路側を見たときのインピーダンスより高周波的に充分小さいインピーダンスとなるキャパシタを設けたことを特徴とする高周波増幅回路。

【請求項 2】 バイポーラ・トランジスタより成るエミッタ接地増幅器のベース端子と、該ベース端子にベースバイアス電圧を供給するベースバイアス回路間にバイアス供給用直流増幅トランジスタのベース・エミッタ間を順方向に設け、上記バイアス供給用直流増幅トランジスタのベースと接地点間には、上記バイアス供給用直流増幅トランジスタのベース端子より、上記ベースバイアス回路側を見たインピーダンスより高周波的に充分小さいインピーダンスとなるキャパシタを設けたことを特徴とする高周波増幅回路。

【請求項 3】 バイポーラ・トランジスタより成るエミッタ接地増幅器のベース端子と、該ベース端子にベースバイアス電圧を供給するベースバイアス回路間に、ベース端子とコレクタ端子或いはベース端子とエミッタ端子間を接続したバイアス供給用トランジスタを順方向に設け、上記バイアス供給用トランジスタのベース端子に、該ベース端子自身から、上記ベースバイアス回路を見たインピーダンスより高周波的に充分小さいインピーダンスとなるキャパシタを設けたことを特徴とする高周波増幅回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は高周波増幅回路に係わり、特にデジタル移動体通信システムや、携帯用移動体通信端末用に用いる低位相歪の高周波増幅回路に関するものである。

## 【0002】

【従来の技術】 図 8 はバイポーラ・トランジスタをエミッタ接地増幅器として用いた従来例の高周波増幅回路の代表的な構成を示すものであり、図 9 は図 8 に示す高周波増幅回路のベース・エミッタ特性と入力信号との関係を示す図であり、図 10 は図 8 に示す高周波増幅回路の入出力特性を示す図である。上記図 8 に示す従来の高周波増幅回路の動作を上記図 9 及び図 10 を用いて説明する。

【0003】 バイポーラ・トランジスタ  $T_{r1}$  より成るエミッタ接地増幅器を線形増幅器として使用する場合、図 8 に示すようにベース側の B 1 点の印加電圧は外部の電圧源  $V_B$  より印加された電圧を、抵抗  $R_1$ 、 $R_2$  による抵抗分割等で任意の電圧値に変換して与えられる。その動作点を A 級とした場合、入力電力の振幅が図 9 の入

力電力  $V_1$  として示すように、B 1 点に与えられているバイアス電圧  $V_{B1}$  と上記バイポーラ・トランジスタ  $T_{r1}$  のベース・エミッタ間のダイオードの  $O_n$  電圧  $V_{th}$  との電位差を越えない電圧振幅のときは、バイポーラ・トランジスタ  $T_{r1}$  は線形動作状態であり、利得・入出力電力の位相偏差は共に一定であるが、図 9 に示すように入力電力の増加につれて、B 1 点の電圧振幅が増加して  $V_2$  になり、上記 B 1 点に与えられているバイアス電圧  $V_{B1}$  とベース・エミッタ間のダイオードの  $O_n$  電圧  $V_{th}$  との電位差を越えてしまう場合は、トランジスタは非線形動作状態であり、A 級として動作点を保つことができず電力利得が徐々に減少していく。

【0004】 又、入力電力の振幅が図 9 の  $V_2$  で示すように大きくなって、上記バイポーラ・トランジスタ  $T_{r1}$  のベース・エミッタ間のダイオードの  $O_n$  電圧  $V_{th}$  以下の電位まで B 1 点の電圧値が振れると、ベース・エミッタ間がオン状態の時間とオフ状態の時間とが発生する。オン状態では、ベース・エミッタ間のダイオードの入力インピーダンスは A 級動作点を保っているときと等しいが、オフ状態のときは上記ベース・エミッタ間のダイオードの入力インピーダンスは A 級動作点を保っているときに比べ高いインピーダンスになるので、そのときの B 1 の電圧値は、負側に大きく振れてしまう。A 級動作点を保っている場合は、時間平均では B 1 点の電圧値は  $V_{B1}$  で一定であったが、B 1 点の電圧値が、バイポーラ・トランジスタ  $T_{r1}$  のベース・エミッタ間のダイオードの  $O_n$  電圧  $V_{th}$  以下まで振れたときは、時間平均では  $V_{B1}$  より低い電圧値となる。

【0005】 一方、バイポーラ・トランジスタ  $T_{r1}$  のベース・エミッタ間ダイオードのジャンクション容量値は電圧依存性を持っている。従って、ベース・エミッタ間への印加電圧が変動すると上記ベース・エミッタ間ダイオードのジャンクション容量が変動し、エミッタ接地増幅器の入力インピーダンスが入力電力が充分小さく A 級動作を保っているときに比べ異なる値になるため、電力の通過位相に影響を与え、図 10 に示すように位相偏差も小信号時から変動してしまう。図 10 は図 8 に示す回路の入出力特性であり、横軸の入力信号 (pin) のレベルに対する縦軸の利得 (GAIN) 及びトランジスタ  $T_{r1}$  のベース・エミッタ間電圧  $V_{BE}$  と、位相 (PHASE) の変化の様子を示している。図 10 より明らかなようにトランジスタ  $T_{r1}$  への入力電力が増大し、非線形動作状態になると、トランジスタ  $T_{r1}$  の利得が低下し、ベース・エミッタ間電圧  $V_{BE}$  が低下すると共に、位相 (PHASE) が変動する。

【0006】 又、動作点を AB 級にした場合でも小信号時は A 級に近い動作を行うが、徐々に入力電力が増加していくと、同様に、入力電力の振幅が増加していき、それに伴ってトランジスタ  $T_{r1}$  の入力インピーダンスが変動するため、通過位相が小信号時の線形動作状態と入

10

20

30

40

50

## 3

力電力が増加したときの非線形動作状態とで位相偏差が異なってしまう。

【0007】

【発明が解決しようとする課題】 A級或いは、AB級で動作する増幅器では、電力付加効率は入力電力が増加して出力電力が飽和し始める領域付近、即ち非線形動作領域で最大となる。ところが、入力電力が増加して増幅器の動作が非線形領域に達しはじめると、バイポーラ・トランジスタではベースの電圧振幅が、増加して上記トランジスタのベース側のダイオードのオン・オフにより、ベース・エミッタ間ダイオードのジャンクション容量が変動して、トランジスタの入力インピーダンスが変動し、電力の通過位相が小信号時より徐々に異なってくる。デジタル移動体通信システムで採用されている通信方式では、信号の振幅情報と共に位相情報を必要とする変調方式などがある。又、携帯用移動体通信端末中に搭載されるパワーアンプでは、その通信時間の延命化の為に高効率化が望まれている。上述する従来技術では、高効率化が図れる非線形動作領域では位相偏差が増大するので、位相情報を必要とする変調方式には問題があった。

【0008】

【課題を解決するための手段】 本発明の高周波増幅回路は、バイポーラ・トランジスタより成るエミッタ接地増幅器のベース端子と、該ベース端子にベースバイアス電圧を供給するベースバイアス回路間に、順方向に接続したPN接合素子を設け、該PN接合素子と上記バイアス回路との接続点と接地点間に、上記PN接合素子より、上記バイアス回路側を見たときのインピーダンスより高周波的に充分小さいインピーダンスとなるキャパシタを設けたことを特徴とする。

【0009】 従って、上記ベースバイアス回路と、エミッタ接地増幅器として使用されるバイポーラ・トランジスタのベース端子との間に設けられたPN接合素子のアノード側は、接地点との間にキャパシタが接続されているので、該キャパシタにより高周波的には接地された状態になっている。また、上記PN接合素子のアノード側は直流的には接地されていないので、バイポーラ・トランジスタのベース端子には上記ベースバイアス回路より上記PN接合素子を介して、ベースバイアス電圧が印加される。

【0010】 エミッタ接地増幅器として使用される上記バイポーラ・トランジスタが非線形動作領域に達すると、そのベース側の電圧振幅が大きくなり、上記エミッタ接地のバイポーラ・トランジスタのベースがオン、オフを繰り返す。その結果、ベースの平均電圧値は減少していく。バイポーラ・トランジスタのベースの平均電圧値が減少すると、ベース・エミッタ間の容量値の電圧依存性で、このバイポーラ・トランジスタの入力インピーダンスが変動するが、上記バイポーラ・トランジスタのベ

## 4

ース・エミッタと直列に接続されているバイアス供給用のPN接合素子は、エミッタ接地のバイポーラ・トランジスタのベース側の平均電圧値が減少すると、PN接合素子自身にかかる電圧値は増加するので、PN接合素子の持つ容量値は上記バイポーラ・トランジスタのベース・エミッタ間の容量値とは逆方向に変動し、これを補償するように働く。一方、上記PN接合素子のアノード側は接地点との間に設けられたキャパシタにより高周波的に接地されているので、上記PN接合素子と上記キャパシタの直列回路が上記バイポーラ・トランジスタのベースと接地点間に高周波的には並列に接続されたものとなり、上記バイポーラ・トランジスタのベース・エミッタ間の容量値の変動を補償することができる。

【0011】 また、本発明の高周波増幅回路は、バイポーラ・トランジスタより成るエミッタ接地増幅器のベース端子と、該ベース端子にベースバイアス電圧を供給するベースバイアス回路間に、バイアス供給用直流増幅トランジスタのベース・エミッタ間を順方向に設け、上記バイアス供給用直流増幅トランジスタのベースと接地点間には、上記バイアス供給用直流増幅トランジスタのベース端子より、上位ベースバイアス回路側を見たインピーダンスより高周波的に充分小さいインピーダンスとなるキャパシタを設けたことを特徴とする。

【0012】 従って、バイポーラ・トランジスタより成るエミッタ接地増幅器のベースバイアス電圧をバイアス供給用直流増幅トランジスタを介して印加する場合も上述する場合と同様に、エミッタ接地増幅器として使用されるトランジスタが非線形動作領域に達すると、バイアス供給用トランジスタのベース・エミッタ間の電圧値は、上記エミッタ接地のトランジスタのベース・エミッタ間の電圧変動と逆の方向に動くため、エミッタ接地のトランジスタの入力インピーダンスの変動を抑える作用がある。

【0013】 また、本発明の高周波増幅回路は、バイポーラ・トランジスタより成るエミッタ接地増幅器のベース端子と、該ベース端子にベースバイアス電圧を供給するベースバイアス回路間にベース端子とコレクタ端子或いはベース端子とエミッタ端子間を接続したバイアス供給用トランジスタを順方向に設け、上記バイアス供給用トランジスタのベース端子に、該ベース端子自身から、上記ベースバイアス回路を見たインピーダンスより高周波的に充分小さいインピーダンスとなるキャパシタを設けたことを特徴とする。

【0014】 従って、バイポーラ・トランジスタより成るエミッタ接地増幅器のベースバイアス電圧を、ベース端子とコレクタ端子、又はベース端子とエミッタ端子とを接続してベース・エミッタ間又はベース・コレクタ間でダイオードとして動作させるようにしたバイアス供給用トランジスタを介して印加する場合も、上述する場合と同様の作用でエミッタ接地増幅器を構成するバイポー

## 5

ラ・トランジスタの入力インピーダンスの変動を抑えることができる。

【0015】

【発明の実施の形態】以下、本発明の実施の形態について説明する。

<第1の実施形態>図1は本発明の第1の実施形態の回路図であり、図2は図1に示す回路中のトランジスタのベース及びダイオードにかかる電圧を示すグラフ、図3は、本実施回路の入出力特性を示すグラフである。以降図にしたがって、本実施形態を説明する。バイポーラ・トランジスタより成るエミッタ接地増幅器を線形増幅器として使用する場合、図1に示すようにベース側のB1点の印加電圧は、外部の電圧源VBより印加された電圧を例えば抵抗R1とR2による抵抗分割等で任意の電圧値に変換して、更に図中B2点からB1点の間にB1点側をダイオードのカソード端子側となるようにダイオードを挿入して与える。同時にB2点とアース電位との間にB2点からバイアス抵抗側を見たインピーダンスに比べ、充分小さいインピーダンス値となるようなキャパシタC1を挿入する。

【0016】図1のエミッタ接地トランジスタTr1の動作点をA級にした場合、入力電力の電圧が図9のV1で示すように充分小さく、その振幅がB1点に与えられているバイアス電圧VB1とベース・エミッタ間のダイオードのOn電圧Vthとの電位差を越えない電圧振幅であるときは、上記トランジスタTr1は線形動作状態であり、利得・入出力電力の位相偏差は共に一定である。ところが、図9のV2で示すように入力電力の増加につれて、B1点の電圧振幅V2が増加し、上記B1点に与えられているバイアス電圧VB1とベース・エミッタ間のダイオードのOn電圧Vthとの電位差を越えると、トランジスタTr1は非線形動作状態となり、A級としての動作点を保つことができず電力利得が徐々に減少していく。又、ベース・エミッタ間のダイオードのOn電圧Vth以下の電位までB1点の電圧値が振れると、上記トランジスタTr1のベース・エミッタ間には、オン状態の時間と、オフ状態の時間とが発生する。

【0017】オン状態では、ベース・エミッタ間のダイオードの入力インピーダンスはA級動作点を保っているときと等しいが、オフ状態のときは、上記ベース・エミッタ間のダイオードの入力インピーダンスはA級動作点を保っているときに比べ高いインピーダンスになるので、そのときのB1点の電圧値は、負側に大きく振れる。A級動作点を保っている場合は、時間平均ではB1点の電圧値はVB1で一定であったが、上記のオフ状態のときは時間平均ではVB1よりも小さい電圧値となる。ベース・エミッタ間ダイオードのジャンクション容量値は電圧依存性を持っている。従って、ベース・エミッタ間への印加電圧が変動すると上記ベース・エミッタ間ダイオードのジャンクション容量が変動し、エミッタ

## 6

接地増幅器の入力インピーダンスが、入力電力が充分小さくA級動作を保っているときに比べ異なった値になる。

【0018】一方、B2点の電位は、定電圧源の電圧値と抵抗R1、R2の分割比で決定され、入力電力の増加に影響されないので、B1点の電位が上述のように徐々に小信号動作時より下がってしまうと、図1に示すダイオードD1にかかる電圧値 $\Delta V_{BE2}$ は、図2に示すように徐々に増加していく。そのため上記エミッタ接地のトランジスタTr1のベース・エミッタ間ダイオードのジャンクション容量の変動とは、逆の変動をバイアス回路中のダイオードD1の持つジャンクション容量は行うことになる。従って、徐々に入力電力が増加していくと、入力電力の振幅が増加し、それに伴ってエミッタ接地トランジスタTr1の入力インピーダンスが変動するが、ダイオードD1のインピーダンスがそれを相殺するように変動するため、上記エミッタ接地トランジスタTr1の入力インピーダンスの変動を抑制し、通過位相偏差を従来回路に比べて小さくできる。更に、ダイオードD1にかかる電圧値が大きくなると、ダイオードD1を

通ってトランジスタTr1のベースに流れ込む電流値が増加するので、コレクタ電流が増加し、コレクタ端での出力電力の飽和を解消でき、電力利得の減少も改善することができる。

【0019】図3は図1に示す回路の入出力特性であり、横軸の入力信号(p in)のレベルに対する縦軸の利得(GAIN)と位相(PHASE)の変化の様子を示している。図1に示す回路は図3に示すように、小信号時からの電力利得圧縮が1dBのとき(図3中、Aで示す)の位相偏差が $\pm 1$ 度(図3中、Bで示す)の範囲にあるが、図10に示す従来例の場合は、小信号時からの電力利得圧縮が1dBのとき(図10中、A'で示す)の位相偏差は $\pm 1.3$ 度(図10中、B'で示す)となり、本発明の回路は従来例に比べて入力信号の変化に対して位相偏差が小さくなっていることが判る。

【0020】<第2の実施形態>図4は本発明の第2の実施形態の回路図であり、図1に示す本発明の第1の実施形態に対応する部分には同一符号を付し、説明を省略する。図4において、Tr2はバイポーラ・トランジスタであり、図1のダイオードD1の代わりに用いられており、抵抗R1、R2で電源電圧VBを分割するベースバイアス回路のB2点とトランジスタTr1のベース間に上記トランジスタTr2のベース・エミッタが順方向になるように接続されており、上記トランジスタTr2のコレクタには、電源電圧VCが印加される。ベースバイアス回路中のB2点即ち上記トランジスタTr2のベース端子と接地点との間には、上記ベースからバイアス用抵抗R1、R2を見たときのインピーダンスよりも充分小さいインピーダンスとなるようなキャパシタC1を挿入する。

【0021】この実施形態は図1に示すベースバイアス回路に設けたダイオードD1のPN接合を利用したものに対して、トランジスタTr2のベース・エミッタ間のPN接合を利用するもので、回路の動作はダイオードD1をベースバイアス回路に設けた図1に示す実施形態の場合と実質的に同じである。ただ、上記トランジスタTr2は増幅回路を形成しているの、ベースバイアス電流はこのトランジスタTr2によって増幅され、エミッタ接地トランジスタTr1のベースに供給される。従って、上記抵抗R1、R2で構成した、もとのベースバイアスを生成するベースバイアス回路に流れる電流を低減することができる。

【0022】＜第3の実施形態＞図5は本発明の第3の実施形態の回路であり、図1に示す本発明の第1の実施形態に対応する部分には同一符号を付し、説明を省略する。図5において、Tr3はベースとコレクタ間が抵抗R3で接続したバイポーラ・トランジスタで、図1のダイオードD1の代わりに用いられており、抵抗R1、R2で電源電圧VBを分割するベースバイアス回路のB2点と、トランジスタTr1のベース間に、上記トランジスタTr3のベース・エミッタ間が順方向になるように接続されている。この場合上記トランジスタTr3は抵抗R3によりベースとコレクタ間が接続されているので、B2点とトランジスタTr1のベース間には、トランジスタTr3のベース・エミッタ間のPN接合が挿入されたことになる。

【0023】動作原理は図1に示す第1の実施形態と同様であるので説明を省略する。この実施形態において、ベースバイアス回路に設けたダイオード接続するトランジスタTr3として、GaAs HBT（ヘテロジャンクション・バイポーラ・トランジスタ）のように、ベース・エミッタ間のダイオードのOn電圧とベース・コレクタ間のダイオードのOn電圧とが異なり、ベース・コレクタ間のダイオードのOn電圧の方が小さいものを用いる場合などは、エミッタ接地トランジスタTr1のベースのOn電圧と上記バイアス回路中に設けたトランジスタTr3のベース・エミッタ間のPN接合より成るダイオードのOn電圧の和以上の電圧がベース端子へのバイアス供給用電圧源にあればよいので、上述する第1、第2の実施形態の場合に比べて電源電圧VBを低電圧にすることができ、回路の低電圧化を図ることができる。

【0024】図5に示す回路を200mWクラスのパワーアンプに応用した場合の実施形態を示すと、トランジスタTr1としてエミッタフィンガーサイズが6.4μm×20μmの単位トランジスタを12個並列接続したものを使用し、トランジスタTr3として、エミッタフィンガーサイズが6.4μm×20μmのトランジスタを使用する。キャパシタC1の容量値は10pFとする。この場合の特性を図6に示す。図6より明らかなように、従来回路での電力利得圧縮が1dBのときの位相

偏差は1.3度あるが、本実施形態の回路の電力利得圧縮が1dBのときの位相偏差は0.7度であり、且つ1dB利得圧縮点に至るまでの位相偏差は、従来例の場合、±1.3度であるのに対して、本実施形態では、±1度以内に収まっており、いずれも特性が改善されていることが判る。

【0025】図7は図5に示す実施形態の変形例である。ベースバイアス回路に設けたバイポーラ・トランジスタTr3を図5に示す回路では抵抗R3によりベース・コレクタ間を接続しているのに対して、この回路ではベース・エミッタ間を抵抗R4で接続し、トランジスタTr3のベース・コレクタ間のPN接合を利用するようにしている。そして、ベースバイアス回路のB2点に上記トランジスタTr3のコレクタを、又、トランジスタTr1のベースに上記トランジスタTr3のエミッタを接続している。その他の構成は図5と同様であり、また、動作も実質的には図5の場合と同じであるので、詳細な説明は省略する。

【0026】

【発明の効果】以上説明したように本発明によれば、トランジスタの入力電力が増加し、非線形動作領域に達した場合でも、従来のような位相差が大きくなり、且つ電力利得圧縮が増加するため、信号の振幅情報と共に位相情報を必要とする変調方式などで高効率化を図りにくいという問題を解決することができ、入力電力の増大に伴う、トランジスタの入力インピーダンスの変動による通過位相偏差の増加を抑制し、且つ非線形領域でのコレクタ端での出力電力の飽和を低減し、電力利得圧縮も抑制できるため、回路の高効率化を図れるようになる。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態の回路構成図である。

【図2】 図1の動作説明図である。

【図3】 図1の入出力特性図である。

【図4】 本発明の第2の実施形態の回路構成図である。

【図5】 本発明の第3の実施形態の回路構成図である。

【図6】 図5の動作説明図である。

【図7】 本発明の第3の実施形態の変形例の回路構成図である。

【図8】 従来例の回路構成図である。

【図9】 増幅器の動作説明図である。

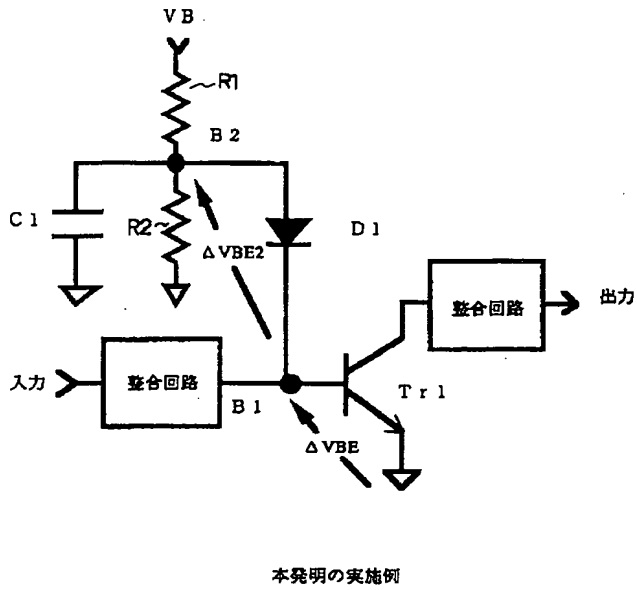
【図10】 従来例の入出力特性図である。

【符号の説明】

Tr1	エミッタ接地バイポーラ・トランジスタ
Tr2	トランジスタ
Tr3	トランジスタ
D1	ダイオード
R1	抵抗

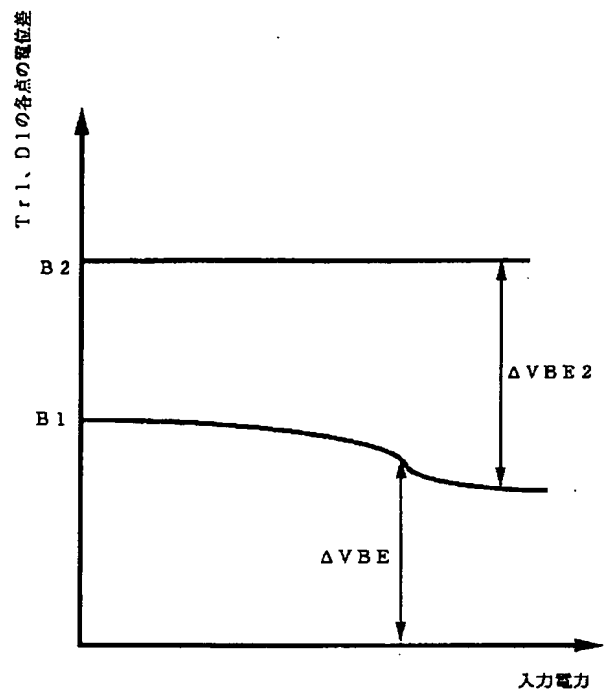
R 2 抵抗  
R 3 抵抗

【図 1】

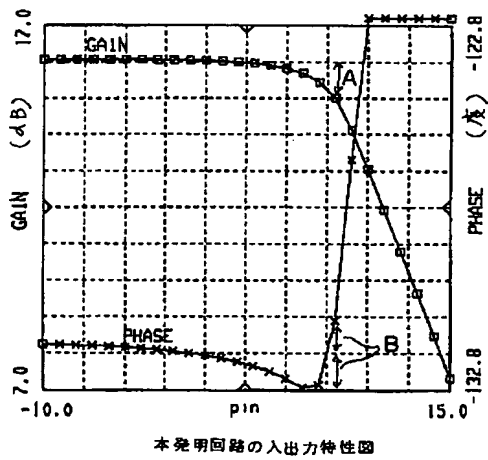


R 4 抵抗  
C 1 キャパシタ

【図 2】

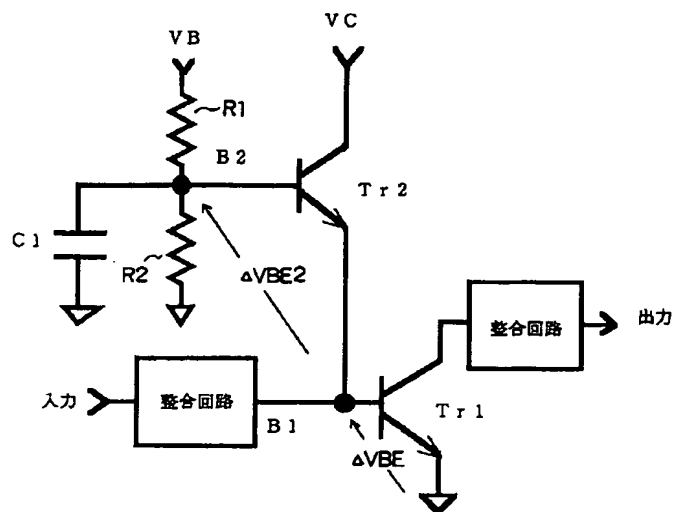


【図 3】

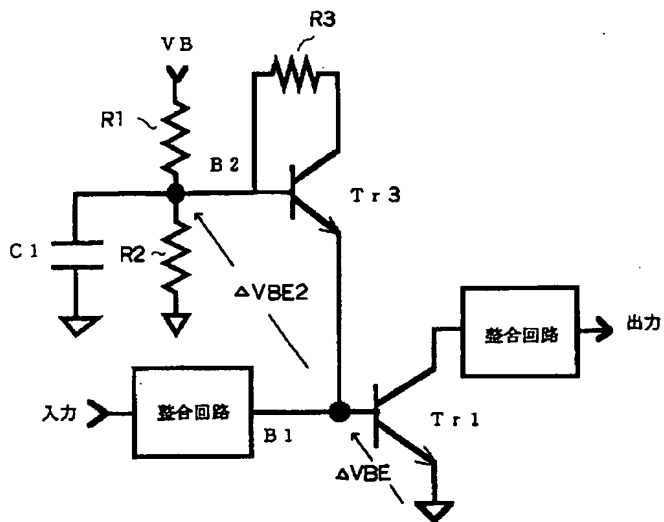


本発明の回路動作例説明図

【図 4】

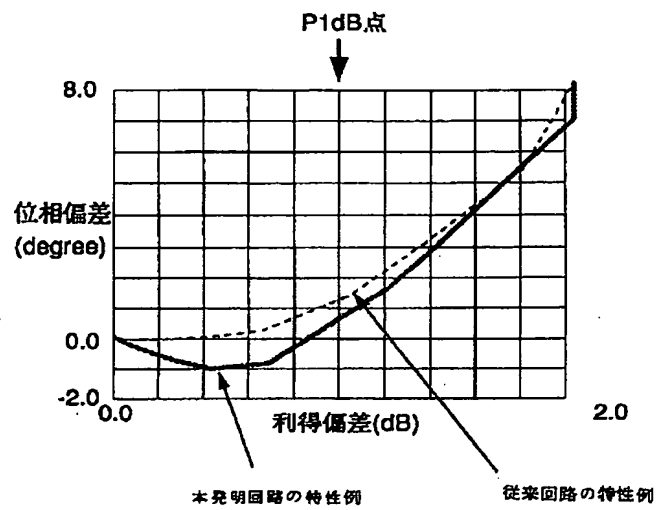


【図5】



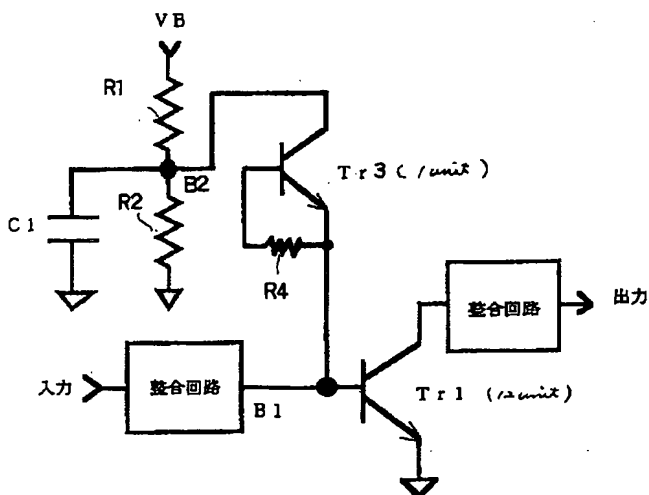
本発明の実施例

【図6】



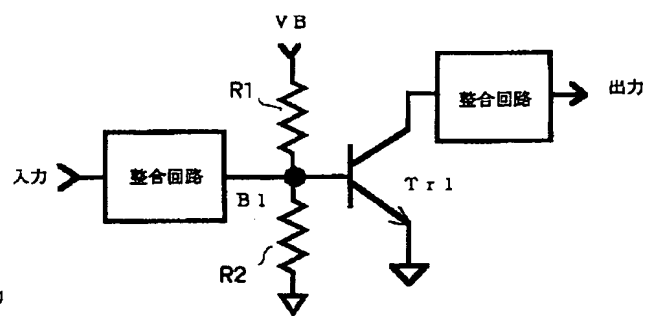
本発明回路の特性図

【図7】



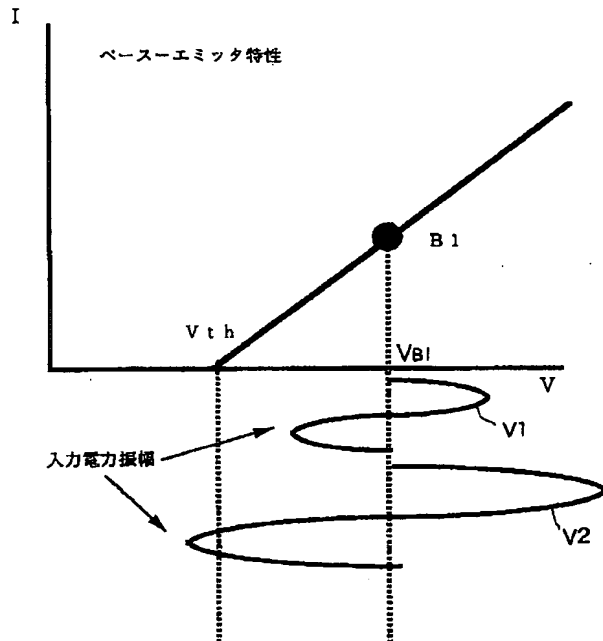
本発明の実施例

【図8】



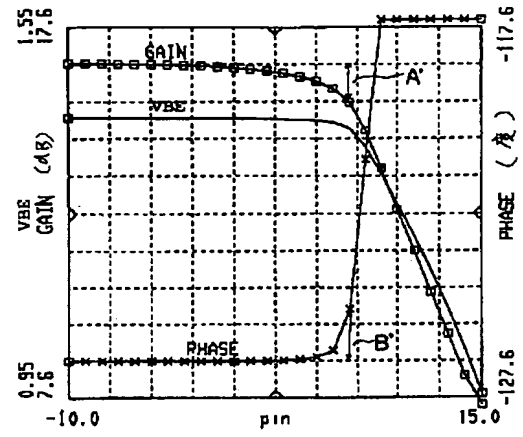
従来回路例

【図9】



従来回路の動作例説明図

【図10】



従来回路の入出力特性図